

# Sistema de Adquisición para Instrumentos Geofísicos - Task #56

Milestone # 54 (New): Revisión y Desarrollo de HW

Task # 55 (In progress): Revisión y Desarrollo de HW- Acquisition Engine

## Revisión y Pruebas de HW - Acquisition Engine

10/15/2015 10:19 AM - Luis Gonzáles

<b>Status:</b>	Closed	<b>Start date:</b>	10/19/2015
<b>Priority:</b>	Normal	<b>Due date:</b>	10/20/2015
<b>Assignee:</b>	Luis Gonzáles	<b>% Done:</b>	100%
<b>Category:</b>		<b>Estimated time:</b>	0.00 hour
<b>Target version:</b>	Versión 1.0	<b>Spent time:</b>	168.00 hours
<b>Description</b>			
Lectura de características eléctricas de los componentes del módulo de adquisición.			

### History

#### #1 - 10/15/2015 05:22 PM - Joaquín Verástegui

- Tracker changed from Feature to Task

#### #2 - 10/22/2015 08:11 AM - Luis Gonzáles

- % Done changed from 0 to 40

- Revisión de diseño y uso de las resistencias de entrada al op-amp diferencial AD8475.

#### #3 - 10/22/2015 08:13 AM - Luis Gonzáles

- Medición de consumo en alimentación de 5VDC y 3.3VDC.

#### #4 - 11/18/2015 12:44 PM - Joaquín Verástegui

- Target version set to Versión 1.0

#### #5 - 11/19/2015 09:41 AM - Luis Gonzáles

- % Done changed from 40 to 60

En este modulo se han realizado las siguientes comprobaciones:

1.- Se han revisado las hojas tecnicas de los componentes principales: Atenuador, ADC y Microcontrolador de cada canal.

2.- En base a la tarea 1 se han realizado las siguientes comprobaciones:

2.1.- Se comprobo la integridad del atenuador en los tres canales.

2.2.- Se comprobo la integridad de los microcontroladores

2.3.- Se realizo un firmware de prueba de comunicacion entre el ADC y el microcontrolador pero esta pendiente de prueba.

3.- Las obsrvaciones en este modulo fueorn:

3.1.- Es mejor usar una referencia externa de 5VDC y no la interna del ADC para evitar usar las resistencias externas de atenuacion. Que son necesarias para entrar en el rango de +/-2.5VDC qe corresponde a los 2.5VDC internos, mas estas resistencias externas afectan el CMRR pues tienen una tolerancia mayor a la recomendada por la hoja tecnica del atenuador.

3.2.- En caso se desee usar las resistencias externas, estas deben ser recalculadas para usar todo el rango del ADC. Esto pues su atenuacion baja de 0.4 a 0.125 con resistencias de 5.5k y 3.74k. (Internas  $RF=1k$ ,  $RG=2.5k(0.4)$   $RG=1.25(0.8)$  => Sumadas  $RG=8k(0.4)$  y  $RG=5k(0.8)$  => Atenuacion= $RF/RG$  cae de 0.4 a 0.125 y de 0.8 a 0.2). Se recomienda 1.5k(0.4) y 3.15k(0.8)

3.3.- Faltan capacitores de 0.1uF en AVDD1 y AVDD2.

3.4.- Faltan capaciores de 1uF en los pines de "REGCAP" y "REGCAPD" que son capacitores de desacoplo para el regulador interno de 1.8VDC que alimenta las etapas digitales del integrado.

3.5.- Entre IOVDD y GND falta capacitor de 100nF.

3.6.- Falta resistencia de pull-up (recomendada de 4.7k) en el pin de reset.

4.- En el layout se observo lo siguiente:

4.1.- Peligro de tener a VCM junto a pines de entrada.

- 4.2.- Las entradas diferenciales deberían tener mayor simetría.
- 4.3.- Separar el ADC del microcontrolador.
- 4.4.- Colocar entre cada canal una malla de tierra.
- 5.- Se entendió la independencia de cada canal por las siguientes razones:
  - 5.1.- Cada entrada debe tener su propio atenuador y adaptador de señal de conversión a diferencial para que no haya interferencia entre canales.
  - 5.2.- Cada ADC debe convertir cada canal sin multiplexación para alcanzar la tasa de 250ksps.
  - 5.3.- Cada ADC debe tener comunicación SPI lo que requiere o una multiplexación a aproximadamente 100MHz o usar un microcontrolador por canal. Esta última fue seleccionada. Esto además permite una configuración independiente de cada ADC.

**#6 - 11/19/2015 03:06 PM - Luis Gonzáles**

- *Status changed from New to In progress*

**#7 - 01/25/2017 08:34 PM - Luis Gonzáles**

- *Status changed from In progress to Closed*

- *% Done changed from 60 to 100*