

Instrumentación Nano-Satelites - Task #227

Milestone # 217 (Closed): Prototipo 1.0 de transmisor

Task # 221 (Closed): Etapa de generación de señal

Revisión de circuito impreso: Generador de señal 150MHz y 400MHz

11/04/2015 09:57 AM - Jose Chavez

Status:	Closed	Start date:	11/03/2015
Priority:	High	Due date:	11/10/2015
Assignee:	Miguel Urco	% Done:	100%
Category:		Estimated time:	8.00 hours
Target version:	Versión 1.0	Spent time:	0.50 hour

Description

Herramienta de software de diseño de PCBs

Eagle 7.3

Funcionalidad

Circuito generador de señales RF a 150MHz y 400MHz a partir de dos PLLs.

Los PLLs controlan el VCO interno que poseen, los cuales son sintonizados mediante inductores previamente calculados.

Vdd = 3.3v

Las pistas están matcheadas a 50 Ohm.

Funcionalidad	Descripción	Prueba de confiabilidad
Generar dos señales RF	Generar dos señales de 150MHz y 400MHz a partir de dos referencias de 10MHz	Medir señales con el analizador de espectros

Entradas

Entradas digitales de control de PLL: SCLK, SDATA, SEN, PWDN

	Valores
Vih	0.7Vdd Min.
Vil	0.3Vdd Max.
Iih	-10uA, 10uA
Iil	-10uA, 10uA

Entrada de señal: Señal de sincronismo de 10MHz, previamente generada por un TXCO

Parámetros	Valores
Frecuencia	2-26MHz
Vref	0.5v - Vdd+0.3v

Salida digital: AUXOUT indica cuando la frecuencia esta enganchada.

Parámetros	Valores
Voh	Vdd-0.4v Min

Parámetros	Valores
Vol	0.4v Max
Ioh	-500uA,500uA

Señales de RF o señales críticas del circuito

Las principales señales del circuito son las de salida RF. Como el integrado no puede manipular cargas menores a 200 Ohm a esas frecuencias, se diseñó una red Pi para las transformación de impedancias.

	Señal 1	Señal 2
Frecuencia	150MHz	400MHz
Naturaleza	Sinusoidal	Sinusoidal
Potencia (50 Ohm)	-4dBm	-4dBm
Impedancia	200 a 50	de 200 a 50
Nivel DC	0v	0v

Diagrama de bloques

Captura.PNG

Archivo esquemático y board

Esquemático: <export:/TRUNK/HARDWARE/boards/PLL/PLL-Si4133.sch@18>

Board: <export:/TRUNK/HARDWARE/boards/PLL/PLL-Si4133.brd@19>

History

#1 - 11/04/2015 02:43 PM - Joaquín Verástegui

- Assignee changed from Joaquín Verástegui to Miguel Urco

Hola Miguel,

por favor llena las observaciones que ya le habías mandado a José pero esta vez en el nuevo formato:

http://10.10.50.96/projects/redmine/wiki/Gu%C3%ADa_para_correcci%C3%B3n

Saludos,

Joaquín

#2 - 11/04/2015 03:16 PM - Jose Chavez

- Description updated

#3 - 11/04/2015 03:39 PM - Miguel Urco

- % Done changed from 0 to 100

- Esquemático:

Observación	Señal o componente asociado	Resultado
No conectar los pines NO USADOS a tierra. Si son salidas colocar una carga con la impedancia correcta	RF_OUT	
Separar la señal de fuente de cada PLL usando una bobina de choque	VCC	
Utilizar un condensador de desacoplo de 0.1uF en los pines de fuente	VCC, VDD	

- Board:

Observación	Señal o componente asociado	Resultado
Colocar los conectores de entrada y salida de RF lo mas cercano al chip (minima longitud del trazo de RF)	CLK_INPUT1, CLK_INPUT2, IF_OUT1, IF_OUT2	
Aislar los dos PLL usando islas de tierra en la Capa Superior (Top) y un plano de tierra continuo en la capa inferior (Bottom)	PLL1, PLL2	
Colocar las resistencias de Pull-Up lo mas cercano al pin, al igual que los condensadores de desacoplo de las fuentes	SCL, SDA, SCLK	
Evitar el flujo de corriente de circuitos externos por la tarjeta, eliminar el conector de salida de fuente	Conector de fuente	

#4 - 11/18/2015 10:13 AM - Joaquín Verástegui

- Target version set to Versión 1.0

#5 - 11/19/2015 08:27 AM - Jose Chavez

Se adjuntas los resultados de las observaciones hechas.
Como comentario adicional la tarjeta se encuentra funcionando correctamente.

Miguel Urco wrote:

- Esquemático:

Observación	Señal o componente asociado	Resultado
No conectar los pines NO USADOS a tierra. Si son salidas colocar una carga con la impedancia correcta	RF_OUT	Cambios realizados
Separar la señal de fuente de cada PLL usando una bobina de choque	VCC	Cambio realizado
Utilizar un condensador de desacoplo de 0.1uF en los pines de fuente	VCC, VDD	No disponemos de este componente, pero se considerará el cambio

- Board:

Observación	Señal o componente asociado	Resultado
Colocar los conectores de entrada y salida de RF lo mas cercano al chip (minima longitud del trazo de RF)	CLK_INPUT1, CLK_INPUT2, IF_OUT1, IF_OUT2	Cambio realizado
Aislar los dos PLL usando islas de tierra en la Capa Superior (Top) y un plano de tierra continuo en la capa inferior (Bottom)	PLL1, PLL2	Cambio realizado
Colocar las resistencias de Pull-Up lo mas cercano al pin, al igual que los condensadores de desacoplo de las fuentes	SCL, SDA, SCLK	Cambio realizado
Evitar el flujo de corriente de circuitos externos por la tarjeta, eliminar el conector de salida de fuente	Conector de fuente	Cambio realizado

#6 - 11/19/2015 10:45 AM - Jose Chavez

- Status changed from New to Closed

Files

Captura.PNG

6.83 KB

11/04/2015

Jose Chavez