

IDI - Instrumentación de radares - Task #1788

Milestone # 1582 (New): JARS 2

Desarrollo del testbench general para simulación Behavioral y Post-route

11/27/2019 01:40 PM - John Rojas

Status:	Closed	Start date:	11/04/2019
Priority:	Normal	Due date:	12/06/2019
Assignee:	John Rojas	% Done:	50%
Category:		Estimated time:	0.00 hour
Target version:		Spent time:	0.00 hour
Description			
Desarrollo del testbench de los FPGA's Transferencia, Programación y Control para revisión de las modificaciones en el firmware general.			

History

#1 - 11/27/2019 02:54 PM - John Rojas

- Parent task set to #1582

#2 - 11/27/2019 03:03 PM - John Rojas

- % Done changed from 0 to 50

- Se modifica testbench de FPGA de Transferencia con la lógica del circuito de la tarjeta de adquisición, y se agregan latencias para la simulación en Post-route.

#3 - 12/05/2019 03:43 PM - John Rojas

- File FPGA_PROG_behavioral.png added

- File FPGA_PROG_post_route.png added

- File FPGA_PROG_post_route_corregido.png added

03/12/19 Se creó el waveform para simulación del FPGA de Programación de las señales de entrada y salida, para verificar los tiempos de las señales de control que realizan la programación de los AD6620, si ocurren problemas en el cambio adecuado de sus estados.

04/12/19 Se realizó la simulación en Post-route y se observó un comportamiento inadecuado en la señal RST[10:0] y CSN[10:0] al momento de realizar la programación de los receptores digitales. Al encontrarse en un proceso combinatorio estas señales pueden generar glitches, por lo que se cambio la lógica a sincronizada con GCLK, y se corrige este bug y se consigue adquirir 8 canales aunque no es estable.

En las graficas se adjunta la simulación, antes de la corrección en Behavioral y post-route, y luego de la corrección en post-route.

Aun se deben realizar más correcciones porque se observa glitches en CSN[10:0]

#4 - 01/02/2024 02:57 PM - John Rojas

- Status changed from New to Closed

Files

FPGA_PROG_behavioral.png	38 KB	12/05/2019	John Rojas
FPGA_PROG_post_route.png	30.5 KB	12/05/2019	John Rojas
FPGA_PROG_post_route_corregido.png	34.8 KB	12/05/2019	John Rojas