

## JARS - Task #162

Milestone # 124 (New): DESCRIPCION DE HARDWARE

### Integrar firmware del bloque de control, UDP y LVDS

10/28/2015 10:40 AM - John Rojas

<b>Status:</b>	Closed	<b>Start date:</b>	11/02/2015
<b>Priority:</b>	Normal	<b>Due date:</b>	03/23/2016
<b>Assignee:</b>	John Rojas	<b>% Done:</b>	100%
<b>Category:</b>		<b>Estimated time:</b>	0.00 hour
<b>Target version:</b>	Versión 2.0	<b>Spent time:</b>	0.00 hour
<b>Description</b>			

#### History

##### #1 - 10/28/2015 10:51 AM - John Rojas

- Subject changed from Integrar firmware del bloque de control y comunicación UDP to Integrar firmware del bloque de control, UDP y LVDS

##### #2 - 11/05/2015 09:57 AM - John Rojas

- Status changed from New to In progress

##### #3 - 11/18/2015 12:29 PM - John Rojas

- Due date set to 12/13/2015

- Start date changed from 10/28/2015 to 11/30/2015

##### #4 - 11/18/2015 12:48 PM - Joaquín Verástegui

- Target version set to Versión 2.0

##### #5 - 11/18/2015 05:04 PM - John Rojas

- Due date changed from 12/13/2015 to 11/29/2015

- Start date changed from 11/30/2015 to 11/02/2015

- % Done changed from 0 to 30

##### #6 - 11/23/2015 08:35 AM - John Rojas

- Due date changed from 11/29/2015 to 12/13/2015

##### #7 - 01/05/2016 08:42 AM - John Rojas

- % Done changed from 30 to 50

##### #8 - 01/25/2016 05:49 PM - John Rojas

- Due date changed from 12/13/2015 to 01/25/2016

- % Done changed from 50 to 70

- 25/01/16: Se integro los bloques de control - UDP - LVDS para la recepción e interpretación de los comandos enviados desde la aplicación de PC. También se adquieren paquetes de datos de prueba. Faltaría terminar de implementar el bloque para recibir los datos del FPGA de Transferencia.

**#9 - 01/26/2016 08:39 AM - John Rojas**

- Due date changed from 01/25/2016 to 02/18/2016

- % Done changed from 70 to 80

**#10 - 02/10/2016 05:21 PM - John Rojas**

- 10/02/2016: Se evaluaron los comandos reset, alimentación de canales y habilitación/deshabilitación de adquisición usando el módulo SP601. Faltaría adaptar el bloque de transferencia y terminar de implementar el comando en FPGA que lee y escribe los coeficientes (Write Filter) en el AD6620.

**#11 - 02/10/2016 05:22 PM - John Rojas**

- % Done changed from 80 to 90

**#12 - 03/28/2016 08:51 AM - John Rojas**

- Due date changed from 02/18/2016 to 03/23/2016

- % Done changed from 90 to 100

- 23/03/2016: Se realizó la integración de las interfaces LVDS y UDP en el FPGA de Control. Inicialmente se envían los datos por paquetes solicitados por la aplicación. Posteriormente se puede modificar para enviar los datos de forma continua.

**#13 - 03/28/2016 08:56 AM - John Rojas**

- Status changed from In progress to Resolved

**#14 - 05/17/2017 10:12 PM - John Rojas**

- Status changed from Resolved to Closed