

## JARS - Task #1285

Milestone # 127 (New): TEST DE DESCRIPCIÓN Y VERIFICACIÓN DE HARDWARE (TESTBENCH)

### Implementar testbench general de versión final

02/15/2018 11:58 AM - John Rojas

<b>Status:</b>	Closed	<b>Start date:</b>	07/09/2018
<b>Priority:</b>	Normal	<b>Due date:</b>	07/12/2018
<b>Assignee:</b>	John Rojas	<b>% Done:</b>	100%
<b>Category:</b>		<b>Estimated time:</b>	0.00 hour
<b>Target version:</b>	Versión 2.0	<b>Spent time:</b>	0.00 hour
<b>Description</b>			
Archivo de simulación de cada FPGA por separado y que integra en un solo dispositivo para la verificación general del sistema.			
<b>Related issues:</b>			
Follows Task #1302: Implementar testbench de control versión final		<b>Closed</b>	<b>05/28/2018</b> <b>07/05/2018</b>

### History

#### #1 - 02/15/2018 12:36 PM - John Rojas

- Due date set to 04/19/2018
- Start date set to 04/16/2018

#### #2 - 02/21/2018 04:04 AM - John Rojas

- Follows Task #1302: Implementar testbench de control versión final added

#### #3 - 07/24/2018 10:53 PM - John Rojas

- Status changed from New to Resolved
- % Done changed from 0 to 100

09/07/18: Se implementa el testbench que integra la comunicación entre los 3 FPGA's y realiza la lectura del archivo .racp para la construcción y transmisión de paquetes de datos.

#### #4 - 07/24/2018 11:38 PM - John Rojas

- Assignee changed from Joaquín Verástegui to John Rojas

#### #5 - 09/26/2018 03:24 PM - John Rojas

- Status changed from Resolved to Closed