

## JARS - Task #1283

Milestone # 128 (New): PRUEBAS DE DISEÑO

### Pruebas y ajustes de versión final

02/14/2018 09:36 PM - John Rojas

<b>Status:</b>	In progress	<b>Start date:</b>	06/04/2018
<b>Priority:</b>	Normal	<b>Due date:</b>	12/20/2018
<b>Assignee:</b>	John Rojas	<b>% Done:</b>	80%
<b>Category:</b>		<b>Estimated time:</b>	0.00 hour
<b>Target version:</b>	Versión 2.0	<b>Spent time:</b>	0.00 hour
<b>Description</b>			
<b>Related issues:</b>			
Follows Task #1282: Ensamblado de tarjeta Bus versión final		<b>Closed</b>	<b>04/09/2018</b> <b>05/31/2018</b>
Precedes Task #1289: Manual técnico del prototipo final		<b>In progress</b>	<b>12/24/2018</b> <b>01/31/2019</b>

### History

#### #1 - 02/15/2018 12:36 PM - John Rojas

- Due date set to 05/10/2018

- Start date set to 05/01/2018

#### #2 - 02/21/2018 03:37 AM - Juan Carlos Espinoza

- Follows Task #1282: Ensamblado de tarjeta Bus versión final added

#### #3 - 02/21/2018 03:49 AM - John Rojas

- Precedes Task #1289: Manual técnico del prototipo final added

#### #4 - 02/21/2018 03:50 AM - John Rojas

- Precedes deleted (Task #1289: Manual técnico del prototipo final)

#### #5 - 02/21/2018 03:50 AM - John Rojas

- Precedes Task #1289: Manual técnico del prototipo final added

#### #6 - 05/26/2018 10:45 AM - John Rojas

- Due date changed from 06/13/2018 to 06/15/2018

#### #7 - 05/28/2018 09:12 PM - John Rojas

- Status changed from New to In progress

-31/05: Pruebas iniciales: Energización de tarjeta Bus:

Consideraciones previas: -Sin programar FPGA's, -Sin conectar tarjeta de adquisición

Vin => 5.0V (Voltaje de entrada general 5V)

5V/1 => 5.0V (Voltaje de entrada del lado 1 de tarjetas receptoras)

5V/2 => 5.0V (Voltaje de entrada del lado 2 de tarjetas receptoras)

5V/P => 5.0V (Voltaje de entrada 5V para circuito del FPGA de programación)

3.3V/P => 3.307V (Voltaje de entrada 3.3V para circuito del FPGA de programación)

1.2V/P => 1.202V (Voltaje de entrada 1.2V del FPGA de programación)

5V/T => 4.999V (Voltaje de entrada 5V para circuito del FPGA de transferencia)

3.3V/T => 3.303V (Voltaje de entrada 3.3V para circuito del FPGA de transferencia)

1.2V/T => 1.204V (Voltaje de entrada 1.2V del FPGA de transferencia)

**#8 - 05/31/2018 07:09 PM - John Rojas**

- % Done changed from 0 to 10

-31/05: Pruebas de adquisición con datos generados en tarjeta Bus. Se evaluó la implementación de los fw en los FPGA's de Transferencia y Programación.

**#9 - 06/24/2018 09:59 PM - John Rojas**

- Due date changed from 06/15/2018 to 07/05/2018

- % Done changed from 10 to 50

Pruebas de configuración y adquisición de datos con máxima capacidad de muestras. Se continuarán pruebas de acuerdo ajustes del firmware y software.

**#10 - 07/24/2018 10:31 PM - John Rojas**

- Due date changed from 07/05/2018 to 07/26/2018

- % Done changed from 50 to 80

04/07/18: Modificación del comando de adquisición de perfiles y muestras para aumentar el tamaño del buffer de recepción de 16384 a 4294967296 muestras.

05/07/18: Modificación de los firmware de los FPGAs de Programación y Transferencia para recibir y procesar los comandos MODE\_OPERATION y SELECT\_RXD.

06/07/18: Corrección de la clase JicaHeader para dar todos los permisos en la lectura, escritura y búsqueda de archivos.

10/07/18: Ajuste del FPGA de Programación para detectar secuencia de sincronismo antes de procesar comandos enviados por el FPGA de Control.

**#11 - 09/26/2018 03:26 PM - John Rojas**

- Due date changed from 07/26/2018 to 10/12/2018

**#12 - 11/28/2018 05:32 PM - John Rojas**

- Due date changed from 10/12/2018 to 12/20/2018